

DOI: 10.15514/ISPRAS-2022-34(1)-4



Исследование применимости аппаратной компрессии данных в межпроцессорных каналах связи процессоров с архитектурой Эльбрус

A.V. Сурченко, ORCID: 0000-0001-5200-7982 <Alexander.V.Surchenko@mcst.ru>
АО «МЦСТ»,
117105, Россия, г. Москва, ул. Нагатинская, д.1, стр.23
Московский физико-технический институт,
141701, Московская область, г. Долгопрудный, Институтский пер., 9

Аннотация. В современных процессорных системах наблюдается увеличение нагрузки на подсистему памяти, вызванное преимущественно тенденцией к увеличению числа процессорных ядер. В частности, одним из наиболее критических мест с точки зрения пропускной способности становятся межпроцессорные каналы связи, темп передачи информации в которых заметно ниже, чем на шинах внутри процессора. В качестве одного из способов повышения пропускной способности межпроцессорных каналов связи можно рассматривать аппаратную компрессию данных, призванную уменьшить объем информации, передаваемой по межпроцессорным каналам. В данной работе производится оценка актуальности применения аппаратной компрессии данных в межпроцессорных каналах связи процессоров с архитектурой Эльбрус. В качестве рассматриваемого алгоритма компрессии выбирается алгоритм BDI*-HL, демонстрирующий достаточно высокую эффективность при малых задержках и затратах на реализацию. Исследования производятся на FPGA-прототипе процессора «Эльбрус-16С» для задач пакета SPEC CPU2000. Результаты исследования показывают, что за счет аппаратной компрессии данных удается сжать 38,0% с данными, а в целом объем передаваемой по межпроцессорным каналам связи информации за счет компрессии данных снижается на 13,4%. Полученные результаты позволяют сделать вывод об актуальности применения аппаратной компрессии данных в межпроцессорных каналах памяти процессоров с архитектурой Эльбрус с целью увеличения производительности подсистемы памяти.

Ключевые слова: архитектура Эльбрус; аппаратная компрессия данных; межпроцессорные каналы связи; производительность подсистемы памяти

Для цитирования: Сурченко А.В. Исследование применимости аппаратной компрессии данных в межпроцессорных каналах связи процессоров с архитектурой Эльбрус. Труды ИСП РАН, том 34, вып. 1, 2022 г., стр. 49-58. DOI: 10.15514/ISPRAS-2022-34(1)-4

Evaluation of Hardware Data Compression in Interprocessor Links of Elbrus Processors

A.V. Surchenko, ORCID:0000-0001-5200-7982 <Alexander.V.Surchenko@mcst.ru>
MCST, 1, Nagatinskaya st., Moscow, 117105, Russia
Moscow Institute of Physics and Technology (National Research University),
9 Institutskiy per., Dolgoprudny, Moscow Region, 141701, Russia

Abstract. The tendency to increase core count in modern processor systems leads to a higher strain on memory subsystem. In particular, one of the most critical points in terms of throughput is interprocessor links, where

bandwidth is significantly less than in processor data buses. Hardware data compression can be considered as one of the ways to increase throughput in interprocessor links, as it allows to decrease the amount of information transmitted over the links. This paper presents the evaluation of hardware data compression in interprocessor links of Elbrus processors. BDI*-HL compression algorithm is chosen for the evaluation. The results are obtained of FPGA prototype of “Elbrus-16C” processor for the tasks of SPEC CPU2000 benchmark suite. They show that by using hardware data compression 38,0% of all data packets were compressed and that the amount of information transmitted overall has decreased by 13,4%. These results demonstrate that the use of hardware data compression in interprocessor links of Elbrus processors is justified and has potential to significantly increase memory subsystem performance.

Keywords: Elbrus architecture; hardware data compression; interprocessor links; memory subsystem performance

For citation: Surchenko A.V. Evaluation of Hardware Data Compression in Interprocessor Links of Elbrus Processors. Trudy ISP RAN/Proc. ISP RAS, vol. 34, issue 1, 2022, pp. 49-58 (in Russian). DOI: 10.15514/ISPRAS-2022-34(1)-4

1. Введение

Увеличение производительности в современных процессорных системах достигается преимущественно за счет увеличения числа процессорных ядер. В связи с этим производится большее число обращений в память, т.к. увеличивается число устройств, осуществляющих подобные запросы. Как следствие, увеличивается нагрузка на подсистему памяти, и ее пропускной способности может оказаться недостаточно, чтобы своевременно и без задержек обрабатывать запросы в память, поступающие от ядер.

В частности, одним из наиболее критических мест с точки зрения пропускной способности являются каналы связи, находящиеся вне чипа (off-chip) [1][2]. Это объясняется малой шириной подобных каналов, зависящей от числа контактов (пинов) процессорного чипа.

При рассмотрении многопроцессорных систем аналогичное ограничение по пропускной способности накладывается и на межпроцессорные каналы связи. Темп передачи пакетов с данными в этих каналах, как правило, в несколько раз ниже, чем внутри процессора. Несмотря на то, что передача по межпроцессорным каналам связи осуществляется на большей частоте, чем частота процессора, разницы в частотах все еще недостаточно, чтобы темп передачи данных по межпроцессорным каналам связи соответствовал темпу передачи внутри процессора. Кроме того, помимо пакетов с данными по межпроцессорным каналам связи передаются также и другие пакеты системного протокола (пакеты с первоначальными запросами, пакеты-подтверждения и др.), а также служебная информация, необходимая для корректной работы каналов связи на физическом уровне передачи. Все эти факторы дополнительно снижают темп передачи данных по межпроцессорным каналам связи.

В качестве одного из способов повышения пропускной способности каналов связи, находящихся вне чипа, можно рассматривать аппаратную компрессию данных [2][4][5][6]. За счет ее использования можно добиться уменьшения объема информации, передаваемой через межпроцессорные каналы связи, тем самым увеличивая пропускную способность подсистемы памяти.

В рамках данной работы производилось исследование применимости аппаратной компрессии данных в межпроцессорных каналах связи процессоров с архитектурой Эльбрус. В последующих разделах статьи приводятся детали исследования. В разд. 2 приводится информация о выборе алгоритма компрессии, наиболее подходящего для использования в межпроцессорных каналах связи процессоров с архитектурой Эльбрус, а также производится выбор передаваемой через каналы информации, которая будет подвергаться сжатию. В разд. 3 описывается, какие именно статистические данные были собраны для оценки применимости аппаратной компрессии данных в межпроцессорных каналах связи, а также приведен тестовый стенд, разработанный для сбора этих статистических данных. В разд.4

представлены результаты анализа применимости компрессии данных в межпроцессорных каналах связи. Разд. 5 завершает работу.

2. Выбор алгоритма компрессии и объекта компрессии

2.1 Критерии, предъявляемые к алгоритму

В ходе исследования был выдвинут ряд критериев, определяющих выбор алгоритма компрессии, подходящего для использования в подсистеме памяти. Ниже приведены сами критерии и пояснения к каждому из них:

- 1) процедуры компрессии и декомпрессии при использовании выбранного алгоритма должны производиться быстро;
- 2) Реализация алгоритма в аппаратуре не должна приводить к существенным структурным изменениям;
- 3) алгоритм должен быть эффективным (т.е. должен сжимать достаточно заметный процент данных).

Высокая скорость компрессии и декомпрессии необходима, поскольку в противном случае, несмотря на, возможно, большую эффективность, алгоритм будет вызывать большие задержки при передаче, что окажет негативное воздействие на пропускную способность.

Требование к отсутствию существенных структурных изменений вводится с целью предотвратить потенциальное уменьшение производительности устройств, которое может произойти из-за изменений в их структуре.

Наконец, требование к эффективности алгоритма позволит гарантировать, что прирост производительности от реализации алгоритма будет превышать затраты на его реализацию.

Согласно проведенным ранее исследованиям, одним из наиболее оптимальных подходящих под эти критерии алгоритмов является алгоритм компрессии VAI*-HL [6]. Следующий подраздел описывает принципы работы этого алгоритма, а также приводит сведения о его производительности.

2.2 Алгоритм VAI*-HL

Алгоритм VAI*-HL является модификацией предложенного в [7] алгоритма VAI (Base-Delta-Immediate). Основной принцип работы алгоритма VAI основывается на наблюдении о том, что данные, передаваемые в подсистеме памяти (являющиеся, как правило, строками данных кэш-памяти последнего уровня), обладают определенными зависимостями.

Если разбить отдельную кэш-строку на несколько сегментов одинакового размера, то данные в пределах этих сегментов зачастую являются близкими по значению либо друг к другу, либо к нулю. Именно эта близость в значениях позволяет уменьшить объем хранимой информации, поскольку в таком случае можно выбрать какое-то базовое значение и хранить его, а для остальных сегментов хранить только смещения («дельты») относительно этого значения.

Рис. 1 и рис. 2 иллюстрируют процесс компрессии и декомпрессии данных с использованием алгоритма VAI*-HL. Для упрощения вычислений в качестве базового значения («базы») выбираются старшие разряды сегментов. Смещениями («дельтами») являются младшие разряды сегментов, которые могут различаться между собой. Дополнительно сжатая кэш-строка содержит т.н. «маску», которая позволяет определить, являются ли старшие разряды конкретного сегмента нулевыми или равными базе. Компрессия производится параллельно с разными размерами сегментов и смещений, каждая пара из размера сегмента и размера смещения при этом называется схемой компрессии. Компрессия считается успешной, если хотя бы для какой-то схемы компрессии старшие разряды всех сегментов либо совпадают, либо равны нулю.

Декомпрессия по алгоритму VAI*-HL в то же время сводится к простой конкатенации смещения с базой или нулями в зависимости от соответствующего бита маски.

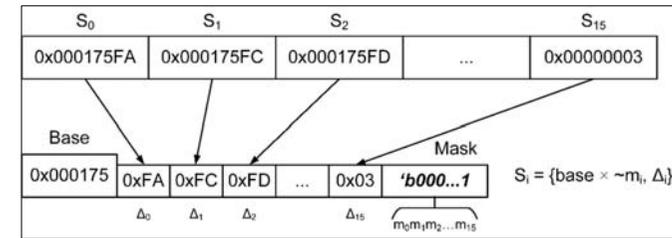


Рис. 1. Компрессия по алгоритму VAI*-HL
Fig. 1. Compression using VAI*-HL algorithm

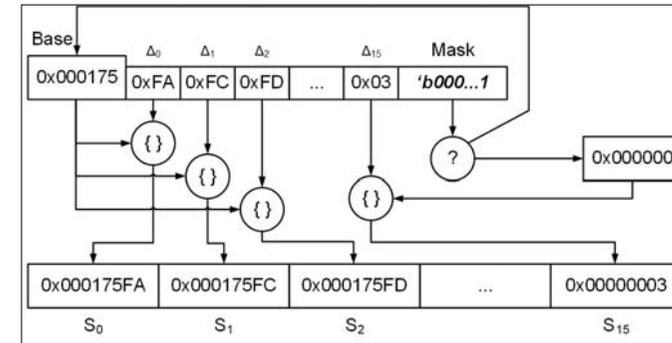


Рис. 2. Декомпрессия по алгоритму VAI*-HL
Fig. 2. Decompression using VAI*-HL algorithm

Важно отметить, что схемы компрессии для алгоритма VAI*-HL были подобраны таким образом, чтобы размер сжатой кэш-строки был равен половине от размера полной. Это связано с тем, что в пакетах с данными могут передаваться как полные кэш-строки, так и половины кэш-строк. Таким образом удастся практически без каких-либо накладных расходов переиспользовать пакеты, предназначенные для отправки половины кэш-строк, для упаковки туда кэш-строк, сжатых по алгоритму. Единственным дополнением к такому пакету будет являться информация о сжатии, необходимая для декомпрессии данных на принимающей стороне.

В табл. 1 демонстрируются характеристики по эффективности и накладным расходам на реализацию алгоритма VAI*-HL, полученные в ходе предыдущих исследований [8]. Результаты по задержкам критического пути, и числу логических элементов, затрачиваемых на реализацию алгоритма, были получены в ходе пробного синтеза на технологии 16 нм с целевой частотой 2 ГГц. Результаты по доле сжимаемых строк и теоретической степени сжатия по алгоритму собирались на данных, поступающих по записи в кэш-память последнего уровня процессора Эльбрус.

Табл. 1. Характеристики алгоритма VAI*-HL

Table 1. VAI*-HL algorithm characteristics

	Compression	Decompression
Critical path delay (2 GHz)	300 ps (1 cycle)	70 ps (1 cycle)
Number of logical elements	6700	2400
Lines compressed (from lines written to LLC), %		24.2%
Theoretical compression ratio		1.246

Как можно видеть, на строках, поступающих по записи в кэш-память последнего уровня алгоритм показывает достаточно высокую долю сжатых строк, и при этом компрессия и декомпрессия при его использовании занимают всего 1 такт при частоте 2 ГГц.

Таким образом, алгоритм удовлетворяет всем критериям, поставленным в предыдущем разделе.

2.3 Выбор объекта компрессии

Как уже было отмечено ранее, алгоритм ВДІ*-НЛ ориентирован на сжатие кэш-строк. Таким образом, проецируя этот факт на типы пакетов, передаваемых через межпроцессорные каналы связи, можно прийти к заключению о том, что рассмотренный алгоритм наиболее подходит для сжатия пакетов с данными.

Прочие пакеты содержат только информацию, необходимую для корректной работы системного протокола. В этой информации уже не будут проявляться зависимости между сегментами данных, а потому применение там рассмотренного алгоритма компрессии не является целесообразным.

Это приводит к решению о том, что среди всей информации, передаваемой по межпроцессорным линкам, компрессия будет рассматриваться только для пакетов с данными. Для остальных типов пакетов попытка сжатия производиться не будет.

3. Тестовый стенд

Для произведения окончательной оценки того, насколько применимой является аппаратная компрессия данных в межпроцессорных каналах связи, необходимо определить, существенно ли уменьшается объем передаваемой по каналам связи информации при использовании компрессии.

При ответе на этот вопрос недостаточно полагаться только на ранее полученные характеристики по доле сжатых строк для алгоритма ВДІ*-НЛ, поскольку, во-первых, они были получены на более высоком уровне иерархии в подсистеме памяти (не все кэш-строки, поступающие в кэш-память последнего уровня, дойдут так же и до межпроцессорных каналов связи), а во-вторых, необходимо также учесть и информацию, передаваемую с другими типами пакетов.

В связи с этим было решено собрать следующую статистическую информацию. Во-первых, можно оценить соотношение объема информации, относящейся к передаваемым пакетам с данными, ко всей передаваемой информации. Таким образом можно определить объем информации, который в принципе можно попытаться подвергнуть сжатию. Во-вторых, можно также оценить, какая доля информации в пакетах с данными является сжимаемой. Наконец, из совместного анализа обоих результатов можно сделать вывод о том, как сильно уменьшится объем передаваемой информации за счет компрессии.

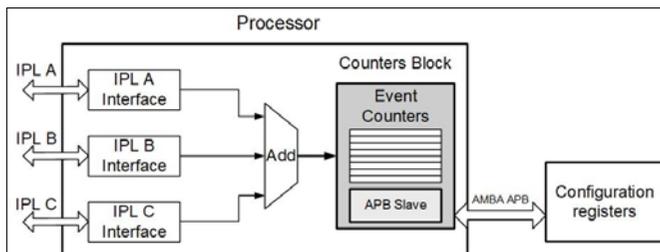


Рис. 3. Тестовый стенд
Fig. 3. Testing bench

Для сбора статистической информации был разработан тестовый стенд, представленный на рис. 3. В ходе работы процессора информация о типах пакетов, отправляемых по межпроцессорным каналам связи, а также информация о компрессии пакетов с данными, записывается на добавленные в систему счетчики событий, суммируясь по всем каналам (межпроцессорные каналы связи на рисунке обозначены как IPL, Interprocessor Links).

Значения счетчиков каждого из процессоров при этом являются программно доступными на конфигурационных регистрах процессора через шину AMBA APB, позволяющую как считывать, так и записывать значения этих счетчиков.

Сбор статистики производился на FPGA-прототипе процессора «Эльбрус-16С», собранном в двухпроцессорной конфигурации. Для тестирования запускались задачи пакета SPEC CPU2000 в однопоточном режиме, причем для создания достаточно высокой нагрузки на межпроцессорные каналы связи задачи запускались с помощью утилиты numactl таким образом, что сама задача запускалась на одном процессоре, а память для нее выделялась на другом.

Полученные статистические результаты, усредненные по обоим процессорам, представлены в следующем разделе.

4. Результаты

На рис. 4 показан график, отражающий долю информации, относящейся к пакетам с данными, среди всей передаваемой по межпроцессорным каналам связи информации. Целочисленные задачи пакета SPEC CPU2000 показаны красным цветом, а задачи с плавающей точкой – синим.

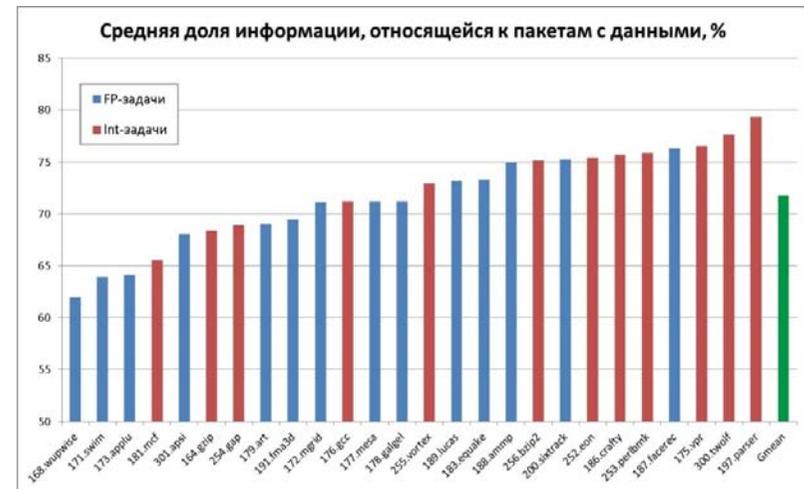


Рис. 4. Средняя доля информации, передаваемой по межпроцессорным линкам, относящаяся к пакетам с данными

Fig. 4. Average percentage of information sent through interprocessor links that relates to data packets

Как можно видеть, для большинства задач пакета SPEC CPU2000 доля информации, относящейся к пакетам с данными, является достаточно высокой, что частично объясняется заметно большим размером пакетов с данными по отношению к другим пакетам. В крайнем правом столбце представлено усредненное значение по всем задачам пакета SPEC CPU2000, составляющее примерно 71,7%.

На рис. 5 показан график, демонстрирующий долю сжатых по алгоритму ВДІ*-НЛ строк, передаваемых в пакетах с данными по межпроцессорным каналам связи. Аналогично

предыдущему графику, целочисленные задачи пакета SPEC CPU2000 показаны красным цветом, а задачи с плавающей точкой – синим.

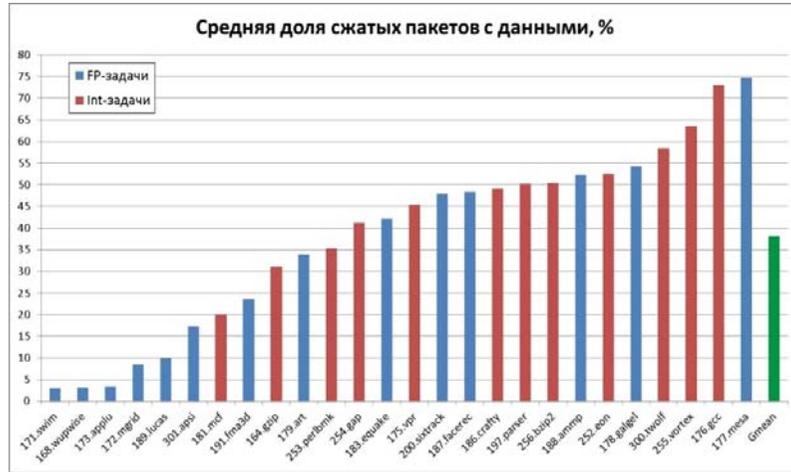


Рис. 5. Средняя доля сжатых по алгоритму VDI*-HL пакетов с данными среди передаваемых по межпроцессорным каналам связи

Fig. 5. Average percentage of data packets sent through interprocessor links that can be compressed

Можно видеть, что компрессия в целом работает лучше на целочисленных задачах, что объясняется отличиями в двоичном представлении между целыми числами и числами с плавающей точкой.

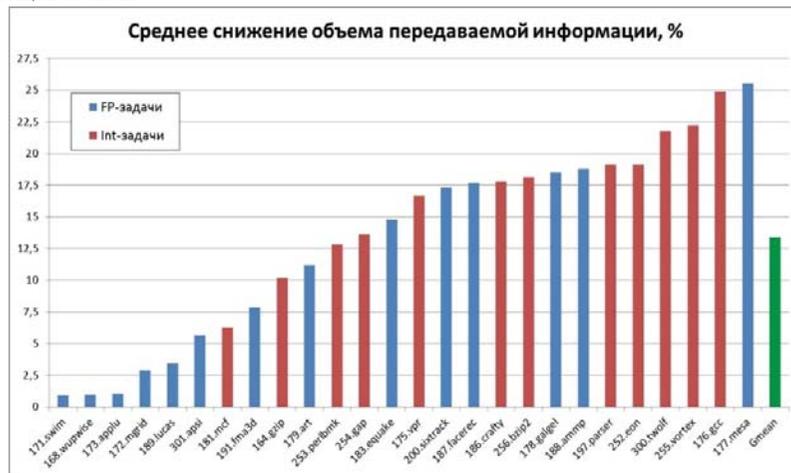


Рис. 6. Средний процент, на который удастся сократить объем передаваемой по межпроцессорным каналам связи информации за счет использования аппаратной компрессии данных

Fig. 6. Average percentage by which the amount of information sent over interprocessor links can be reduced by using hardware data compression

Также стоит отметить, что средняя доля сжимаемых данных получилась больше, чем полученная ранее для кэш-памяти последнего уровня, составляя 38,1%. Это можно объяснить, во-первых, различиями в наборах кэш-строк, поступающих в кэш-память последнего уровня и на межпроцессорные каналы связи, а во-вторых, тем, что для

межпроцессорных каналов связи использовалась усовершенствованная версия алгоритма VDI*-HL, где почти без накладных расходов было добавлено две новые схемы компрессии [8].

Рис. 6 представляет собой график, показывающий уменьшение передаваемой по межпроцессорным каналам связи информации при использовании компрессии. Аналогично предыдущим графикам, целочисленные задачи пакета SPEC CPU2000 показаны красным цветом, а задачи с плавающей точкой – синим.

Так же, как и для графика с долей сжатых пакетов с данными, объем передаваемой по каналам информации наиболее заметно уменьшается для целочисленных задач, поскольку для таких задач больше и доля сжимаемых пакетов с данными. В среднем же по всем задачам пакета SPEC CPU2000 удается уменьшить объем передаваемой информации на 13,4%, что является весьма существенным результатом.

5. Заключение

В ходе данной работы был рассмотрен вопрос актуальности использования аппаратной компрессии данных в межпроцессорных каналах связи процессоров с архитектурой Эльбрус.

Были представлены критерии для алгоритма компрессии, используемого в подсистеме памяти. Согласно этим критериям, для проведения исследования применимости аппаратной компрессии данных был выбран алгоритм компрессии VDI*-HL.

Был разработан тестовый стенд, где для произведения измерений были добавлены счетчики событий с возможностью программного доступа по чтению и записи.

Согласно результатам измерений, произведенных на FPGA-прототипе процессора «Эльбрус-16С» для задач пакета SPEC CPU2000, аппаратная компрессия данных по алгоритму VDI*-HL позволяет сжать до половины размера 38,0% пакетов с данными, снижая тем самым объем всей передаваемой по межпроцессорным каналам связи неслужебной информации на 13,4%.

Полученные результаты позволяют считать аппаратную компрессию данных применимой по отношению к межпроцессорным каналам связи. Дальнейшие исследования будут посвящены полноценной интеграции механизма аппаратной компрессии данных в межпроцессорные каналы связи процессоров с архитектурой Эльбрус.

Список литературы / References

- [1] Rogers B.M., Krishna A. et al. Scaling the bandwidth wall: challenges in and avenues for CMP scaling. In Proc. of the 36th Annual International Symposium on Computer Architecture, 2009, pp. 371-382.
- [2] Thuresson M., Spracklen L., & Stenstrom P. Memory-link compression schemes: A value locality perspective. IEEE Transactions on Computers, vol. 57, issue 7, 2008, pp. 916-927.
- [3] Sardashti S., Arelakis A. et al. A primer on compression in the memory hierarchy. Synthesis Lectures on Computer Architecture, vol. 10, issue 5, 2015, pp. 1-86.
- [4] Alameldeen A.R. & Wood D.A. Interactions between compression and prefetching in chip multiprocessors. In Proc. of the 2007 IEEE 13th International Symposium on High Performance Computer Architecture, 2007, pp. 228-239.
- [5] Sathish V., Schulte M.J., & Kim N.S. Lossless and lossy memory I/O link compression for improving performance of GPGPU workloads. In Proc. of the 21st International Conference on Parallel Architectures and Compilation Techniques (PACT), 2012, pp. 325-334.
- [6] Кожин А.С., Сурченко А.В. Исследование применимости компрессии данных в кэш-памяти микропроцессоров с архитектурой «Эльбрус». Вопросы радиоэлектроники, no 2, 2018 г., стр. 32–39 / Kozhin A.S., Surchenko A.V. Evaluation of cache compression for Elbrus processors. Voprosy radioelektroniki, no. 2, 2018, pp. 32–39 (in Russian).
- [7] Pekhimenko G., Seshadri V. et al. (2012, September). Base-delta-immediate compression: Practical data compression for on-chip caches. In Proc. of the 21st International Conference on Parallel Architectures and Compilation Techniques (PACT), 2012, pp. 377-388.

- [8]. Kozhin A.S., Surchenko A.V. Design of Data Compression Mechanism in Cache Memory of Elbrus Processors. In 2020 International Conference Engineering and Telecommunication (En&T), 2020, pp. 1-5.

Информация об авторе / Information about the author

Александр Викторович СУРЧЕНКО проходит обучение в аспирантуре в МФТИ, а также работает в качестве старшего инженера в АО «МЦСТ». Область научных интересов: производительность и когерентность подсистемы памяти процессоров и процессорных систем, аппаратная компрессия данных, кэш-память.

Alexander Viktorovich SURCHENKO is a PhD student in MIPT. He is currently also working as a senior engineer at JSC «MCST». Research interests: memory subsystem performance and coherence in processors and processor systems, hardware data compression, cache memory.