

DOI: 10.15514/ISPRAS-2023-35(6)-12



Параллельная реализация алгоритма исправления нарушений антенных правил в маршруте OpenLane

Д.А. Булах, ORCID: 0000-0002-6270-8616 <dima@pkims.ru>

А.В. Коршунов, ORCID: 0000-0002-2470-5836 <korsh84@yandex.ru>

*Национальный исследовательский университет МИЭТ,
124498, Россия, г. Москва, г. Зеленоград, пл. Шокина, д.1*

Аннотация. Открытый маршрут проектирования интегральных схем OpenLane позволяет реализовать маршрут проектирования RTL-to-GDS, однако некоторые задачи остаются незакрытыми. Примером такой задачи является рассматриваемое в данной работе исправление нарушений антенных правил, средства детектирования которых входят в состав маршрута OpenLane. Было разработано программное обеспечение, которое позволяет на основе входных данных в виде файлов с информацией о составе библиотеки элементов и информации о размещении и трассировке схемы выполнить исправление нарушений антенных правил. Для разработанного программного обеспечения была реализована параллельная реализация, в работе приводятся результаты сравнения двух версий; показано, что выигрыш по времени составил более 60%. В статье рассматриваются как разработанный алгоритм и построенное на его основе программное обеспечение, способное встраиваться в открытый маршрут OpenLane, так и пример кода скрипта встраивания. Использование разработанного программного обеспечения позволяет исправлять значительную часть нарушений антенных правил, повышая тем самым процент выхода годных.

Ключевые слова: интегральная схема; открытый маршрут проектирования; антенный эффект; антенные правила.

Для цитирования: Булах Д.А., Коршунов А.В. Параллельная реализация алгоритма исправления нарушений антенных правил в маршруте OpenLane. Труды ИСП РАН, том 35, вып. 6, 2023 г., стр. 189–198. DOI: 10.15514/ISPRAS-2023-35(6)-12.

Благодарности: Работа выполнена при финансовой поддержке Минобрнауки в рамках государственного задания на выполнение научно-исследовательской работы «Разработка методики прототипирования электронной компонентной базы на отечественных микроэлектронных производствах на основе сервиса MPW» (FSMR-2023-0008).

Parallel Implementation of the Algorithm for Correction of Antenna Rule Violations in OpenLane Design Flow

D.A. Bulakh, ORCID: 0000-0002-6270-8616 <dima@pkims.ru>

A.V. Korshunov, ORCID: 0000-0002-2470-5836 <korsh84@yandex.ru>

*National Research University of Electronic Technology,
Shokin sq., bld.1, Zelenograd, Moscow, 124498, Russia.*

Abstract. The open IC design flow OpenLane make available the RTL-to-GDS design flow to be implemented, but still some tasks remain unsolved. An example of such task is the correction of antenna rules violations. The detection tools for this procedure are the part of the OpenLane flow but it does not contain any tools for avoiding them. In this article the software is presented that has been developed and allows to avoid violations of antenna rules based on input data in the form of LEF file with information about the standard cell library and DEF file with information about the placement and routing of the design. A parallel implementation is also described; we show the results of more than 60% gain in time with using parallel version in comparison with sequential version. The article describes both the developed algorithm and the software built on its basis, the capability of embedding into an open OpenLane flow, and an example of embedding script code. The use of the developed software makes it possible to correct a significant part of antenna rules violations, thereby increasing the yield.

Keywords: integrated circuit; open design flow; antenna effect; antenna rules.

For citation: Bulakh D.A., Korshunov A.V. Parallel implementation of the algorithm for correction of antenna rule violations in OpenLane design flow. *Trudy ISP RAN/Proc. ISP RAS*, vol. 35, issue 6, 2023. pp. 189-198 (in Russian). DOI: 10.15514/ISPRAS-2023-35(6)-12.

Acknowledgements. This work was carried out with the financial assistance of the Ministry of Education and Science in the framework of state task FSMR-2023-0008 (Development of a methodology for prototyping electronic component base at domestic microelectronic production facilities on the basis of MPW service).

1. Введение

Открытый маршрут проектирования OpenLane представляет собой набор отдельных программ и скриптов с открытым исходным кодом, которые объединены в единый цикл запуска управляющим скриптом. Он позволяет довести проектируемое интегральное решение от кода на языке описания цифровой аппаратуры Verilog до представления в технологическом формате GDSII [1, 2]. Маршрут базируется на открытом маршруте OpenROAD [3, 4] и включает в себя программы для синтеза и оптимизации дизайнов, выполнения процедур для верификации промежуточных данных и анализа физических характеристик получаемых решений. Последовательность выполняемых проектных процедур в рамках открытого маршрута OpenLane показана на рис. 1 [1].

Несмотря на наличие большого числа программ, входящих в состав маршрута, он всё ещё неполон. Например, при выполнении этапа физической верификации перед выводом результата в формате GDSII среди прочих проверок выполняется вызов программы Antenna Rules Checker, которая предназначена для проверки нарушений антенных правил для дорожек металлизации. Однако, при этом в маршруте отсутствуют средства для исправления обнаруженных нарушений.

В данной работе описывается реализованный алгоритм устранения антенных нарушений, результаты использования механизма распараллеливания для ускорения его работы, а также подход к его использованию в составе открытого маршрута OpenLane.

2. Антенный эффект

Технология физического изготовления интегральных схем предусматривает выполнение ряда технологических операций, одной из которых является сухое травление, которое используется при прокладке трасс металлизации для соединения элементов на интегральной

схеме. Плазма, используемая при травлении, содержит высокоэнергетические ионы, которые могут в большом количестве накапливаться в формируемых участках металлизации. Общее количество накопленных ионов определяется технологией операции и зависит от формируемой площади поверхности металла. Если металлическая дорожка имеет достаточно длинный размер, может произойти накопление потенциала в количестве, достаточном для проявления антенного эффекта. Он возникает в случае, когда этот участок металлизации подходит к затвору транзистора, таким образом этот значительный накопленный потенциал может пробить затвор транзистора. Это может произойти, поскольку между затвором и подложкой происходит накопление значительной разницы потенциалов. Описываемая ситуация показана на рис. 2.

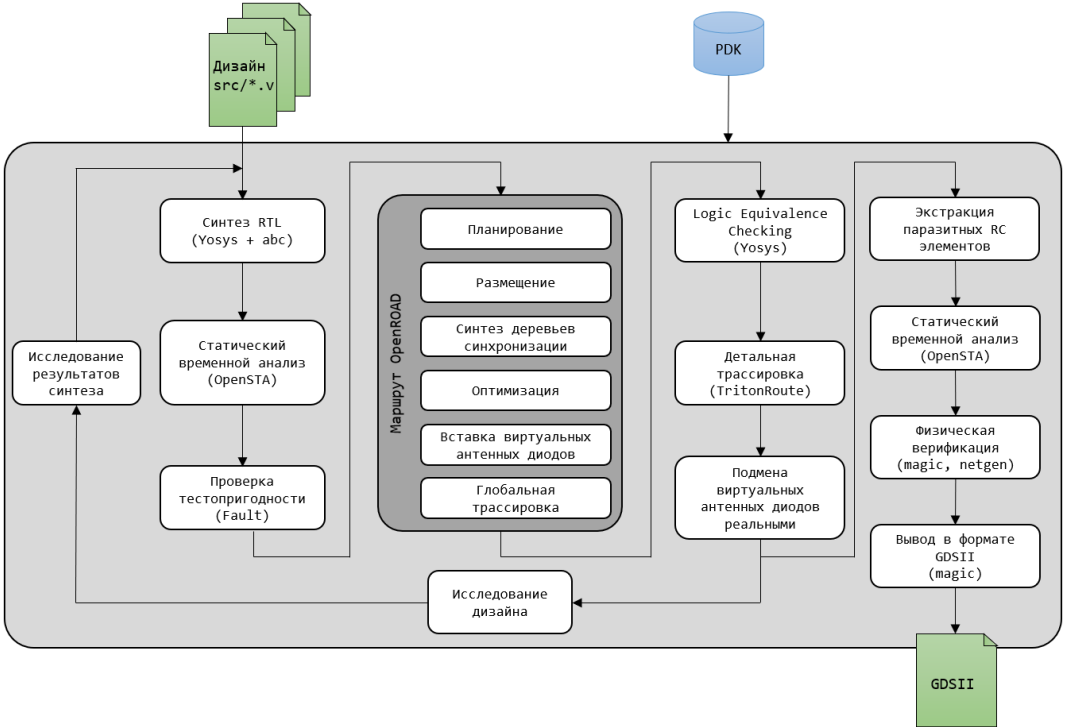


Рис. 1. Открытый маршрут проектирования цифровых интегральных схем OpenLane

Fig. 1. Open flow OpenLane for digital integrated circuits design

Модель получаемой физической структуры можно сравнить с моделью плоского конденсатора с большой разностью потенциалов на обкладках. При этом условно металл, накапливающий потенциал и подключённый к затвору транзистора, называется «антенной» [5].

Для решения этой проблемы в составе коммерческих САПР включены программы, анализирующие нарушения антенных правил и автоматически исправляющие топологию схемы [6]. Допустимые значения для антенных правил определяются записями в LEF-файлах, входящих в состав PDK. Каждое правило представляют из себя ограничение численного значения допустимой величины соотношения площадей металла и затвора и определяется формулой (1):

$$AntennaRatio = \frac{S_{Me}}{S_{Gate}} = \frac{Width_{Metal} \cdot Length_{Metal}}{Width_{Gate} \cdot Length_{Gate}}; \quad (1)$$

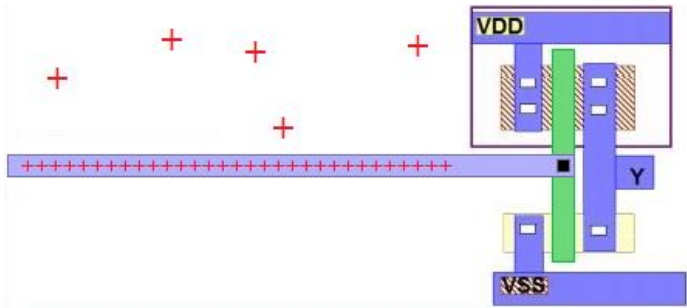


Рис. 2. Иллюстрация антенного эффекта
Fig. 2. Antenna effect illustration

3. Существующие пути устранения нарушений проверки антенных правил

Существует несколько решений для устранения нарушений антенных правил. Первый подход заключается в размещении в непосредственной близости от затворов транзисторов, к которым подводится металл с нарушением антенных правил, диодов (они так и называются – антенные диоды), которые перетягивают на себя положительный потенциал в ходе формирования слоя металлизации. Второй подход заключается в размещении в участках металлов специальных межслойных переходов, выглядящих как перемычки с переходом на верхний слой, называемых джамперы (от англ. «jump» - прыгать, перепрыгивать). Оба подхода показаны на рис. 3.

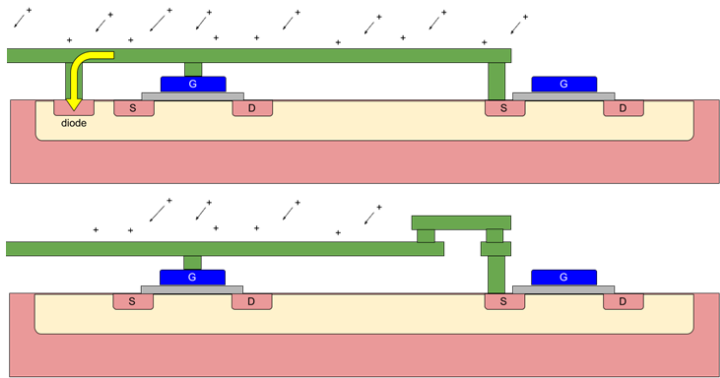


Рис. 3. Иллюстрация устранения эффекта: с помощью антенных диодов (вверху) и вставки перемычек (внизу)

Fig. 3. Illustration of antenna violations eliminations using antenna diodes (at the top) and jumpers (at the bottom)

Из рассмотренных вариантов маршрут OpenLane позволяет управлять только расстановкой антенных диодов путём задания значения специальной переменной, отвечающей в конфигурационном файле дизайна за алгоритм вставки антенных диодов (в файле config.tcl для этого используется переменная DIODE_INSERTION_STRATEGY). Всего реализовано 6 основных стратегий:

- 0 – без добавления антенных диодов;
- 1 – вставка диодов рядом с каждой ячейкой, соединения реализуются насильно;
- 2 – вставка диодов без подключений (fake diodes) рядом с каждой ячейкой с последующим подключением диодов только в тех местах, где проверка выявила нарушения антенных правил;

- 3 – используется программа FastRoute, которая на этапе глобальной трассировки пытается избежать формирования длин металлов, нарушающих антенные правила (имеется возможность задать число перетрассировок);
- 4 – используется эвристика, позволяющая оценить длины межсоединений ещё на этапе размещения;
- 5 – комбинация стратегий 2 и 4.

Несмотря на наличие в маршруте OpenLane возможности использования различных стратегий вставки антенных диодов, проведённые эксперименты показали, что, хотя включение алгоритмов вставки диодов и приводит к уменьшению количества нарушений, для дизайнов с числом вентилях от 100 штук никакой алгоритм вставки диодов не приводит к полному исчезновению таких нарушений. В табл. 1 показаны результаты применения различных стратегий для дизайнов s44 (121 ячейка) и picorv32a (9659 ячеек) из набора Google SkyWater PDK 130nm [7].

Табл. 1. Результаты применения различных стратегий вставки антенных диодов
Table 1. Results for different diode insertion strategies

Стратегия	Схема s44	Схема picorv32a
	Количество нарушений	
0	49	453
1	8	345
2	6	411
3	1	55
4	1	44
5	7	327

При этом, за счёт вставки антенных диодов, очевидно, существенно возрастает используемая площадь кристалла и повышается сложность и плотность трассировки.

Поскольку использование алгоритмов вставки антенных диодов не даёт полного исправления нарушений, был реализован алгоритм вставки перемычек, описываемый в данной работе.

4. Разработка алгоритма вставки перемычек

Работа алгоритма рассмотрена на примере использования PDK Google SkyWater 130nm [7]. Входными данными для работы программы являются DEF-файл с описанием результатов размещения и трассировки для дизайна, LEF-файл с описанием библиотеки стандартных ячеек, а также файл отчёта программы проверки нарушений антенных правил ARC, входящий в состав программ маршрута OpenLane. Пример участка файла отчёта о нарушении антенных правил приведён в листинге 1.

Из приведённого листинга видно, что нарушение произошло в цепи с именем net5, которая подходит к пину B_N экземпляра _102 ячейки sky130_fd_sc_hd_or2b_1 в первом металле. Алгоритм работы программы строится на основе анализа входных файлов, в общем виде он показан на рис. 4. На первом этапе проводится проверка соответствия входных файлов: есть ли соответствие списка цепей с нарушениями из файла лога списку цепей трассировки из файла DEF. Затем выполняется обход всех цепей с нарушениями и для каждой такой цепи производится поиск самого длинного металла, подключённого к затворам транзисторов входного каскада ячейки (информация берётся из LEF-файлов).

...

```
Net net5
  _102_/B_N (sky130_fd_sc_hd_or2b_1)
  met2
    PAR:      8.64   Ratio:    0.00 (Area)
    PAR:     43.93   Ratio:  2778.20 (S.Area)
    CAR:     173.36   Ratio:    0.00 (C.Area)
    CAR:     870.17   Ratio:    0.00 (C.S.Area)

  met1
    PAR:     164.60   Ratio:    0.00 (Area)
    PAR:    826.11*   Ratio:   400.00 (S.Area)
    CAR:     164.71   Ratio:    0.00 (C.Area)
    CAR:     826.25   Ratio:    0.00 (C.S.Area)
  ...
```

Листинг 1. Описание нарушения антенных правил для участка первого металла цепи net5
Listing 1. Description of antenna rule violation for the first metal of net5 net

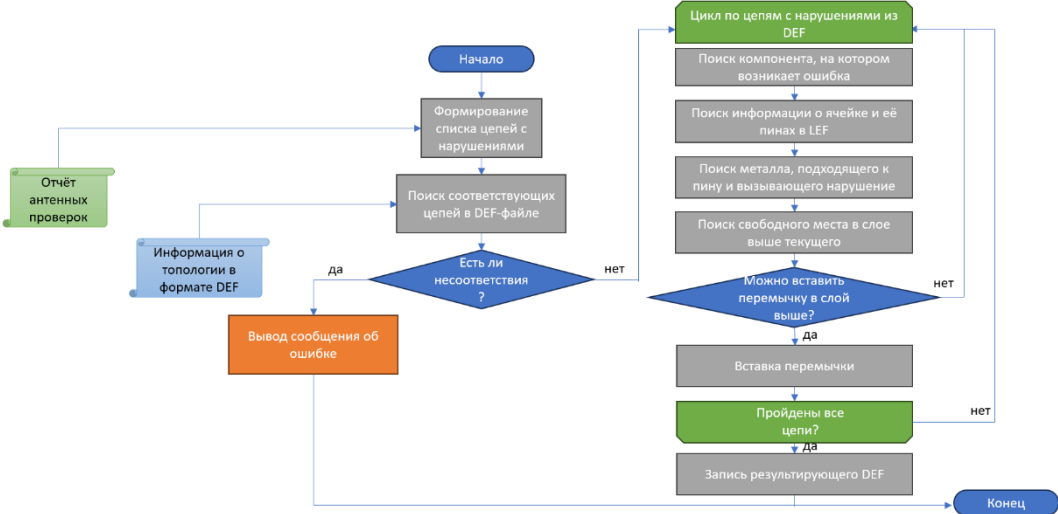


Рис. 4. Алгоритм работы программы
Fig. 4. The algorithm

Вставка межслойного перехода осуществляется следующим образом:

- для самого длинного сегмента происходит поиск всех пересечений в более высоком слое (если это возможно), поиск сегментов оканчивается формированием массива интервалов – доступных расстояний между пересекающимися текущий слой металлами;
- в найденном массиве интервалов ищется самое большое расстояние, при этом необходимым условием является то, что самый большой интервал должен быть больше, чем два расстояния шага металла в слой;
- если такой участок находится, в него происходит вставка межслойного перехода.

Алгоритм не способен исправить нарушение в одном из двух случаев:

1. если нарушение обнаружено на самом верхнем слое металла; очевидно, что в этом случае физически некуда вставлять межслойный переход (потому что нарушение обнаружено на самом верхнем уровне);
2. если над слоем с нарушением нет места для вставки перемычки из-за обилия

проходящих дорожек металлизации; такая ситуация встречается довольно редко, но, тем не менее, встречается для некоторых тестовых дизайнов.

В результате работы программы формируется выходной DEF-файл, участок такого файла показан на рис. 5. Из рисунка видно, что длинный участок металла первого слоя разбивается на две части с размещением на концах разбиения двух межслойных переходов и вставкой небольшого участка металла во втором слое, размер которого равен ширине шага трека в слое.

```
NETS 168 ;
...
- net5 ( input5 X ) ( _096_ B_N ) ( _097_ A1 ) ( _098_ S1 )
  ( _102_ B_N ) ( _103_ A1 ) ( _104_ S1 ) + USE SIGNAL
+ ROUTED met2 ( 8970 197370 ) ( * 199070 ) NETS 168 ;
...
NEW met1 ( 155710 197030 ) ( * 197370 )
NEW met2 ( 156630 194650 ) ( * 197370 )
NEW met1 ( 155710 197030 ) ( 156630 * )
NEW met1 ( 8970 197370 ) ( 155710 * )
NEW met1 ( 140070 175270 ) ( 140530 * )
NEW met2 ( 140990 170510 ) ( * 175270 )
...
- net5 ( input5 X ) ( _096_ B_N ) ( _097_ A1 ) ( _098_ S1 )
  ( _102_ B_N ) ( _103_ A1 ) ( _104_ S1 ) + USE SIGNAL
+ ROUTED met2 ( 8970 197370 ) ( * 199070 )
NEW met1 ( 155710 197030 ) ( * 197370 )
NEW met2 ( 156630 194650 ) ( * 197030 )
NEW met1 ( 155710 197030 ) ( 156630 * )
NEW met1 ( 8970 197370 ) ( 82170 * )
NEW met1 ( 82170 197370 ) M1M2_PR
NEW met2 ( 82170 197370 ) ( 82510 * )
NEW met1 ( 82510 197370 ) M1M2_PR
NEW met1 ( 82510 197370 ) ( 155710 * )
NEW met1 ( 140070 175270 ) ( 140530 * )
NEW met2 ( 140990 170510 ) ( * 175270 )
```

Рис. 5. Входной файл DEF и результат вставки перемычки в выходном файле DEF
Fig. 5. The input DEF file and the result of jumper insertion in output DEF file

5. Параллельная реализация алгоритма

На рис. 6 показаны результаты измерения времени работы составных частей программы для различных дизайнов.

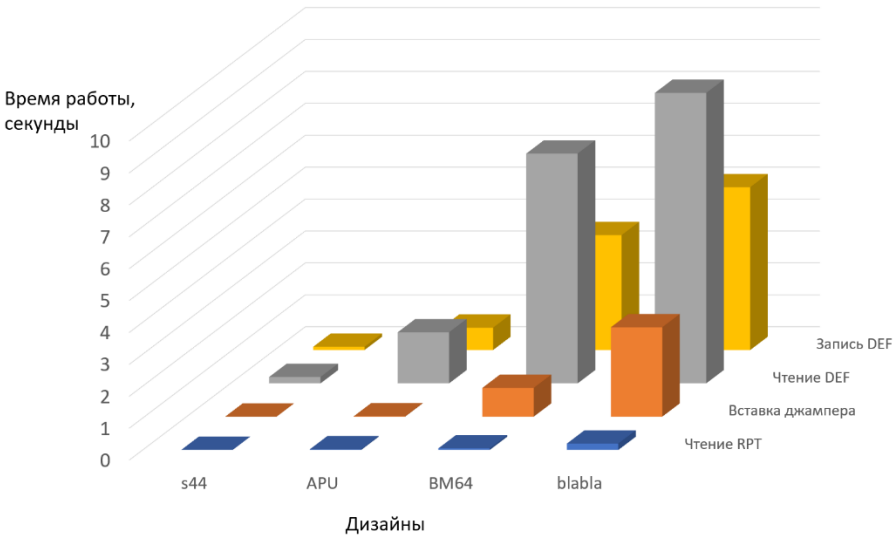


Рис. 6. Временные характеристики работы различных частей программы
Fig. 6. Different parts of the program temporal characteristics

Алгоритм обработки нарушений антенных правил достаточно хорошо распараллеливается как в части обработки участков металла для вставки перемычек, так и в части чтения входных данных. В части обработки участков металла он хорошо распараллеливается, поскольку при вставке перемычек отсутствует конкуренция по доступу к списку цепей для записи. Каждая операция работает со своим набором цепей и между различными потоками не возникает конфликта. В части чтения входных данных распараллеливание даёт сокращение суммарного

времени чтения входных данных. Распараллеливание реализовано с использованием библиотеки pthreads. Результаты распараллеливания с точки зрения времени работы показаны на рис. 7. Для всех тестовых наборов данных прирост производительности составляет не менее 60% при распараллеливании на 4 ядра.

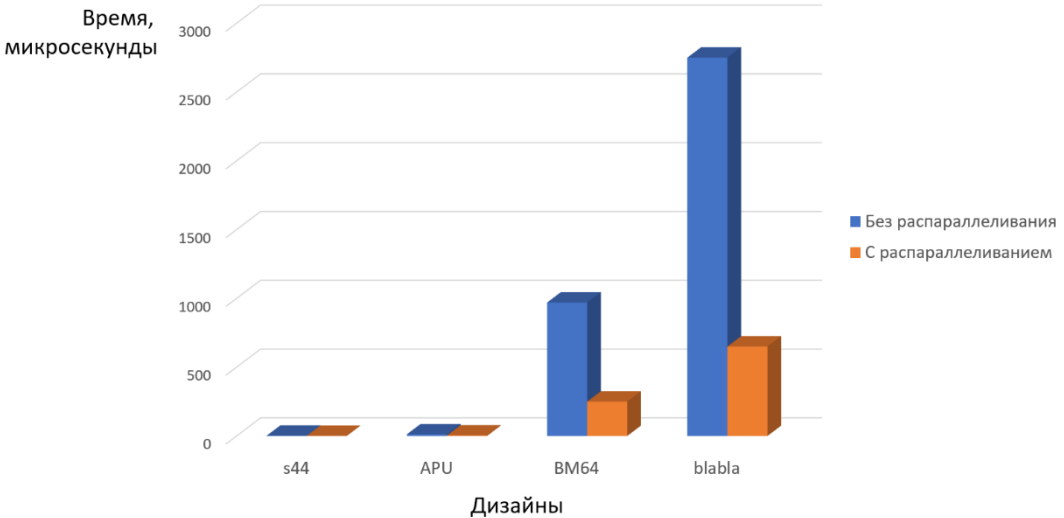


Рис. 7. Результаты сравнения времени выполнения последовательной (слева) и параллельной (справа) реализации алгоритмов для набора тестовых схем
Fig. 7. The comparison results of run time for sequential (on the left) and parallel (on the right) realizations of the algorithm for set of test designs

6. Использование программы в маршруте OpenLane

Разработанная программа встраивается в маршрут OpenLane и вызывается автоматически наряду с остальными программами маршрута. Схема модифицированного маршрута показана на рис. 8.

Управление очередностью вызова программ маршрута OpenLane управляет скрипт на языке Tcl. Для автоматизированного вызова скрипта необходимо запустить на выполнение программу, а затем повторно запустить выполнявшиеся ранее в скрипте проверки DRC и LVS. Эту процедуру нужно выполнять до тех пор, пока либо число обнаруженных нарушений не будет сведено к нулю, либо не будет достигнуто заданное фиксированное число итераций при неизменном результате. Кратко этот подход проиллюстрирован в листинге 2.

7. Выводы

Рассмотренный в данной статье алгоритм вставки межслойных переходов для исправления нарушений антенных правил позволяет исправить большую часть нарушений. Для схем из набора Google SkyWater PDK 130nm была получена следующая статистика:

- для небольших схем (до 10 тысяч вентиляей) разработанный алгоритм позволяет исправлять 100% нарушений, при этом в случае выбора алгоритма разбиения по самому длинному металлу (без указания LEF файл) число итераций работы алгоритма доходило до трёх;
- для больших схем (от 10 до 25 тысяч вентиляей) наблюдались ситуации, когда вставка межслойных переходов была невозможна из-за того, что либо над слоем металла, который нужно разбить нет места, либо нарушения встречаются в самом верхнем слое металлов.

Для устранения 100% нарушений самым оптимальным видится перестроение маршрута OpenLane таким образом, чтобы в его составе применялись программы размещения и трассировки, учитывающие возникновения антенных нарушений в ходе своей работы [8, 9].

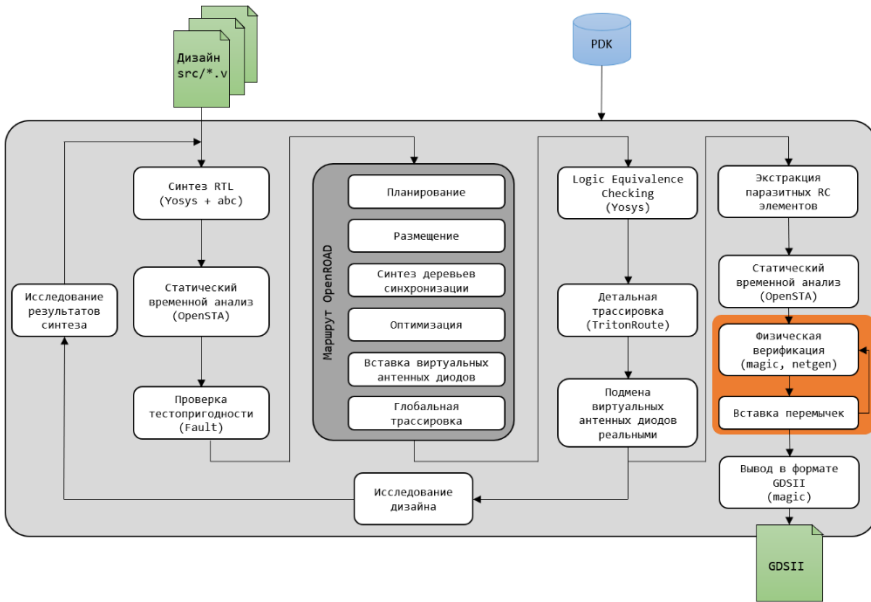


Рис. 8. Модифицированный маршрут OpenLane с вызовом программы вставки перемычек
Fig. 8. Modified flow OpenLane with jumper insertion software call

```
if {$step_name == "antenna_check"} {
    set repair_iteration 0
    set num_violations_prev -1
    set do_antenna_repair 1
    if {$num_violations_now != 0} {
        while {$do_antenna_repair} {
            exec ./JI2 --def $def --report $ant_log --out $def
            set num_violations_prev $num_violations_now
            set local_steps [dict create \
                "lvs" "run_lvs_step $LVS_ENABLED " \
                "drc" "run_drc_step $DRC_ENABLED " \
                "antenna_check" "run_antenna_check_step $ANTENNACHECK_ENABLED"
            ]
            dict for {step_name step_exe} $local_steps {
                set ::env(CURRENT_STEP) $step_name
                [lindex $step_exe 0] [lindex $step_exe 1] ;
            }
        }
    }
    ...
}
```

Листинг 2. Часть кода модифицированного скрипта flow.tcl
Listing 2. Example of the modified flow.tcl script source code

Список литературы / References

- [1]. M. Shalan and T. Edwards, "Building OpenLANE: A 130nm OpenROAD-based Tapeout- Proven Flow : Invited Paper," 2020 IEEE/ACM International Conference On Computer Aided Design (ICCAD), San Diego, CA, USA, 2020, pp. 1-6.
- [2]. Зыков А.В., Ильясов Р.Ф. Анализ работы программных инструментов с открытым исходным кодом OpenLANE для разработки микросхем // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2022. Выпуск 4. С. 87-92. doi:10.31114/2078-7707-2022-4-87-92
- [3]. T. Ajayi, V. A. Chhabria, M. Fogaça, S. Hashemi, A. Hosny, A. B. Kahng, M. Kim, J. Lee, U. Mallappa, M. Neseem, G. Pradipta, S. Reda, M. Saligane, S. S. Sapatnekar, C. Sechen, M. Shalan, W. Swartz, L. Wang, Z. Wang, M. Woo and B. Xu, "Toward an Open-Source Digital Flow: First Learnings from the OpenROAD Project," Proc. ACM/IEEE Design Automation Conference, 2019, pp. 76:1-76:4. (Invited Paper)
- [4]. S. Reda, "Overview of the OpenROAD Digital Design Flow from RTL to GDS," 2020 International Symposium on VLSI Design, Automation and Test (VLSI-DAT), Hsinchu, Taiwan, 2020, pp. 1-1, doi: 10.1109/VLSI-DAT49148.2020.9196319.
- [5]. Lin, Chung-Wei & Tsai, Ming-Chao & Lee, Kuang-Yao & Chen, Tai-Chen & Wang, Ting-Chi & Chang, Yao-Wen. (2007). Recent Research and Emerging Challenges in Physical Design for Manufacturability/Reliability. Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC. 238-243. 10.1109/ASPDAC.2007.357992.
- [6]. Кравченко, В. САПР компании Synopsys. Основные средства и возможности / В. Кравченко, Д. Радченко // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. — Выпуск 5. — 2003. — С. 31-33.
- [7]. K. Herman, M. Montanares and J. Marin, "Design and Implementation of Integrated Circuits Using Open Source Tools and SKY130 Free PDK," 2023 30th International Conference on Mixed Design of Integrated Circuits and System (MIXDES), Kraków, Poland, 2023, pp. 105-110, doi: 10.23919/MIXDES58562.2023.10203216.
- [8]. Tsai, Chia-Chun & Hsu, Feng-Tzu & Kuo, Chung-Chieh & Wu, Jan-Ou & Lee, Trong-Yen. (2008). X-clock tree construction for antenna avoidance. International Conference on Solid-State and Integrated Circuits Technology Proceedings, ICSICT. 2248 - 2251. 10.1109/ICSICT.2008.4735038.
- [9]. Cho, Minsik & Mitra, Joydeep & Pan, David. (2008). Manufacturability Aware Routing. 10.1201/9781420013481.ch38.

Информация об авторах / Information about authors

Дмитрий Александрович БУЛАХ – кандидат технических наук, доцент института интегральной электроники. Сфера научных интересов: алгоритмы моделирования, обработки и визуализации данных в САПР СБИС.

Dmitriy Aleksandrovich BULAKH – Candidate of Technical Sciences, Assistant Professor at the Institute of Integrated Electronics. Research interests: VLSI EDA data simulation, processing and visualization algorithms.

Андрей Владимирович КОРШУНОВ – кандидат технических наук, доцент института интегральной электроники, доцент. Сфера научных интересов: исследование и разработка методов проектирования энергоэффективных СБИС и систем на кристалле.

Andray Vladimirovich KORSHUNOV – Candidate of Technical Sciences, Assistant Professor at the Institute of Integrated Electronics. Research interests: research and development of design methods for energy-efficient VLSI and SoCs.